

## DATA REPEATER, DATA REPEATING METHOD AND SERVER MEDIUM

**Patent number:** JP2000216800

**Publication date:** 2000-08-04

**Inventor:** NOMURA TAKASHI; MARUYAMA ATSUSHI

**Applicant:** SONY CORP

**Classification:**


- international: *H04L29/04; H03L7/18; H04L7/033; H04L12/40; H04L12/56; H04L29/06; H04N5/765; H04Q3/00; H04L12/64; H04L29/04; H03L7/16; H04L7/033; H04L12/40; H04L12/56; H04L29/06; H04N5/765; H04Q3/00; H04L12/64; (IPC1-7): H04L12/40; H04L7/033; H04L12/28; H04L12/66; H04L29/04; H04L29/06; H04Q3/00*

- european: *H03L7/18; H04L12/40F1; H04L12/40F7; H04L12/56A; H04N5/765*

**Application number:** JP19990018065 19990127

**Priority number(s):** JP19990018065 19990127

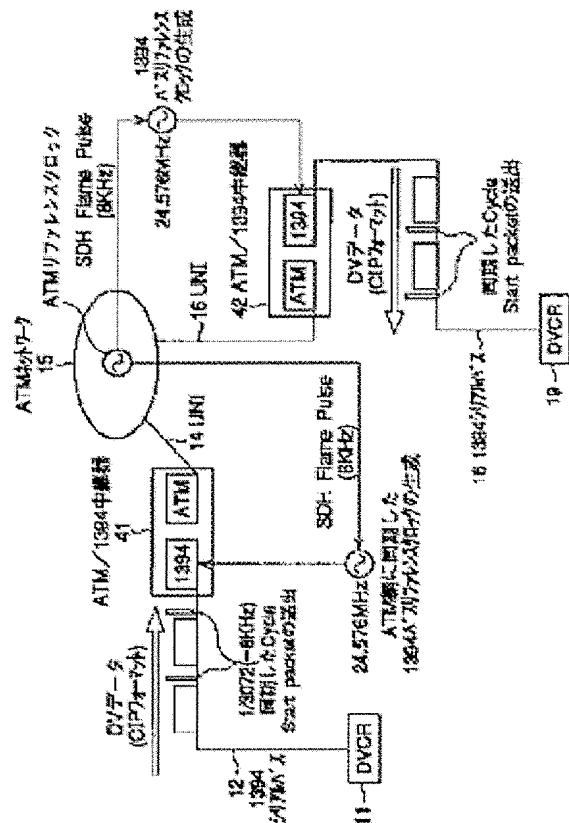
**Also published as:**

 US6757304 (B)

Report a data error he

### Abstract of JP2000216800

**PROBLEM TO BE SOLVED:** To prevent an image and a voice on a bus connected via a network from changing subtly. **SOLUTION:** Data outputted from a DVCR 11 are transferred to a DVCR 19 via a 1394 serial bus 12, an ATM/1394 repeater 41, a UNI 14, an ATM network 15, a UNI 16, an ATM/1394 repeater 42, and a 1394 serial bus 18. The ATM/1394 repeater 41 acts as the cycle master of the 1394 serial bus 12 on a transmitter side, and the ATM/1394 repeater 42 acts as a cycle master of the 1394 serial bus 18 on a receiver side. A bus reference clock with 24.576 MHz for the 1394 serial bus 12, 18 is synchronized with an ATM reference clock of 8 kHz of the ATM network 15.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号  
特開2000-216800  
(P2000-216800A)

(43)公開日 平成12年8月4日(2000.8.4)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テマコード*(参考)
H 0 4 L 12/40		H 0 4 L 11/00	3 2 0 5 K 0 3 0
7/033		H 0 4 Q 3/00	5 K 0 3 2
12/28		H 0 4 L 7/02	B 5 K 0 3 4
12/66		11/20	D 5 K 0 4 7
29/04			B 9 A 0 0 1

審査請求 未請求 請求項の数 5 O L (全 13 頁) 最終頁に続く

(21)出願番号 特願平11-18065

(22)出願日 平成11年1月27日(1999.1.27)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 野村 隆

東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内

(72)発明者 丸山 厚志

東京都品川区北品川6丁目7番35号 ソニ  
ー株式会社内

(74)代理人 100082131

弁理士 稲本 義雄

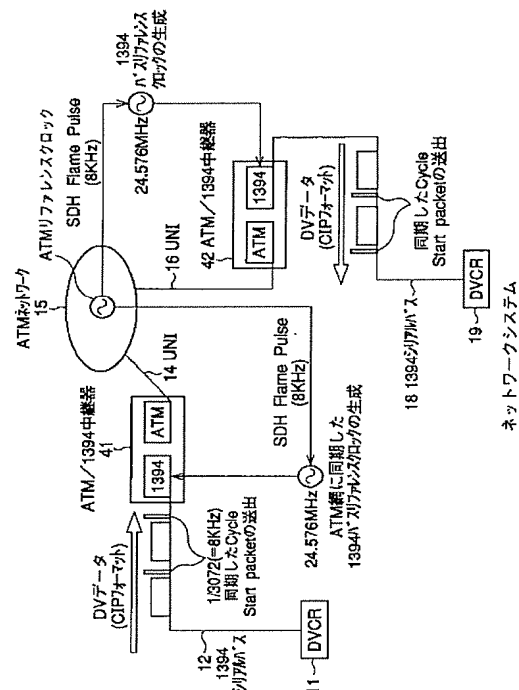
最終頁に続く

(54)【発明の名称】 データ中継装置および方法、並びに提供媒体

(57)【要約】

【課題】 ネットワークを介して接続されるバスにおける画像や音声が微妙に変化するのを防止する。

【解決手段】 DVCR11より出力されたデータを、1394シリアルバス12、ATM/1394中継器41、UNI14、ATMネットワーク15、UNI16、ATM/1394中継器42、1394シリアルバス18を介して、DVCR19に転送する。ATM/1394中継器41は、送信側の1394シリアルバス12のサイクルマスタとされ、ATM/1394中継器42は、受信側の1394シリアルバス18のサイクルマスタとされる。1394シリアルバス12と1394シリアルバス18の24.576MHzのバスリファレンスクロックは、ATMネットワーク15の8KHzのATMリファレンスクロックに同期される。



## 【特許請求の範囲】

【請求項1】 所定のバスとネットワークとの間でデータを中継するデータ中継装置において、

前記バスとのインタフェース処理を行う第1のインタフェース手段と、

前記ネットワークとのインタフェース処理を行う第2のインタフェース手段と、

前記第1のインタフェース手段において用いられる第1のクロックを、前記ネットワークでの処理を同期させるための第2のクロックに同期して生成する生成手段とを含むことを特徴とするデータ中継装置。

【請求項2】 前記バスは、IEEE1394シリアルバスであり、

前記ネットワークは、ATMネットワークであることを特徴とする請求項1に記載のデータ中継装置。

【請求項3】 前記第1のインタフェース手段と前記第2のインタフェース手段とを制御する制御手段と、前記第2のクロックを分周して、前記制御手段に供給する割り込み制御信号を生成する分周手段とをさらに含むことを特徴とする請求項1に記載のデータ中継装置。

【請求項4】 所定のバスとネットワークとの間でデータを中継するデータ中継装置のデータ中継方法において、

前記バスとのインタフェース処理を行う第1のインタフェースステップと、

前記ネットワークとのインタフェース処理を行う第2のインタフェースステップと、

前記第1のインタフェースステップの処理において用いられる第1のクロックを、前記ネットワークでの処理を同期させるための第2のクロックに同期して生成する生成ステップとを含むことを特徴とするデータ中継方法。

【請求項5】 所定のバスとネットワークとの間でデータを中継するデータ中継装置に、

前記バスとのインタフェース処理を行う第1のインタフェースステップと、

前記ネットワークとのインタフェース処理を行う第2のインタフェースステップと、

前記第1のインタフェースステップの処理において用いられる第1のクロックを、前記ネットワークでの処理を同期させるための第2のクロックに同期して生成する生成ステップとを含む処理を実行させるコンピュータが読み取り可能なプログラムを提供することを特徴とする提供媒体。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、データ中継装置および方法、並びに提供媒体に関し、特にネットワークを介して異なるバス間でデータを授受する場合において、時間的なずれを抑制することができるようにした、デ

ータ中継装置および方法、並びに提供媒体に関する。

## 【0002】

【従来の技術】図1は、従来のネットワークシステムの構成例を表している。このネットワークシステムにおいては、デジタルビデオカセットレコーダ(DVCR)11が接続されているIEEE1394シリアルバス(以下、単に1394シリアルバスとも称する)12が、ATM(Asynchronous Transfer Mode)／1394中継器13から、UNI(User Network Interface)14を介してATMネットワーク15に接続されている。ATMネットワーク15はさらに、UNI16を介してATM／1394中継器17に接続されている。ATM／1394中継器17には、DVCR19が接続されている1394シリアルバス18が接続されている。

【0003】1394シリアルバス12(1394シリアルバス18も同様)においては、図2に示すようにデータが転送される。すなわち、DVCR11が伝送するデータからなるソースパケット(図2(A))は、480バイト単位のデータブロックに分割される(図2

(B))。このデータブロックに、アイソクロナスパケットヘッダとCIP(Common Isochronous Paket)ヘッダが付加され、125μsのサイクル周期のうちの所定のタイミングのサイクルにおいて、アイソクロナスパケットとして伝送される。各サイクルの先頭には、サイクルマスタからサイクルスタートパケットが送信される。1394シリアルバス12上において同期をとるために、1394シリアルバス上に接続されている各機器は32ビットのサイクルタイムレジスタを内蔵しており、サイクルマスタの24.576MHzの周波数のリファレンスクロック(以下、バスリファレンスクロックとも称する)に同期しているサイクルスタートパケット内のサイクルタイムデータの値(すなわち、サイクルマスタのサイクルタイムレジスタ値に等しい)を自身のサイクルタイムレジスタに反映させることで、125μs毎にサイクルタイムレジスタの値を同期させて動作する。従って、ATM／1394中継器13も、1394シリアルバス12とのインタフェース処理を行う部分において、上記のようにサイクルタイムレジスタ値を同期させながら動作する。

【0004】1394インタフェース部でインタフェース処理されたパケットデータは、ATM／1394中継器13のATMインタフェース部でATMセルに変換され、UNI14を介してATMネットワーク15に送信される。ATMネットワーク15は、そこに接続されている各機器の同期をとるために、8KHzの周波数のリファレンスクロック(以下、ATMリファレンスクロックとも称する)に同期して動作するようになされている。従って、ATM／1394中継器13のATMインタフェース部は、このATMリファレンスクロックに同期して、各種の処理を実行する。

【0005】ATMネットワーク15を介してATM／139

4 中継器 13 から伝送されてきた ATM セルは、UNI 16 を介して ATM/1394 中継器 17 に供給される。その ATM インタフェース部は、入力された ATM セルを組み立て、1394 インタフェース部に出力する。この ATM インタフェース部も、ATM ネットワーク 15 の ATM リファレンスクロックに同期して動作する。ATM インタフェース部より出力されたデータは、1394 インタフェース部においてパケット化され、1394 シリアルバス 18 を介して DVC R19 に供給される。ATM/1394 中継器 17 の 1394 インタフェース部は、1394 シリアルバス 18 に接続されている各機器の同期をとるためのサイクルタイムレジスタの値を同期させながら動作する。

【0006】図 3 は、このようにして、DVC R11 が、1394 シリアルバス 12 から ATM ネットワーク 15 を介して 1394 シリアルバス 18 の DVC R19 にデータを転送する場合の原理的なタイミングチャートを表している。DVC R11 が出力するデータが、例えば、NTSC 方式の画像データであるとするとき、その 29.97 Hz の周波数のフレーム同期信号は、24.576 MHz の周波数のバスリファレンスクロックで、例えば、時刻  $t_1$ 、 $t_4$ 、 $t_7$  においてサンプリングされる（図 3（A））。

【0007】時刻  $t_1$  で取り込まれた画像データは、DVC R11 から 1394 シリアルバス 12 に対して、時刻  $t_2$  から始まるバスサイクルで伝送される。このとき、その CIP パケット CIP<sub>1</sub> には、タイムスタンプが付加されている（図 3（B））。

【0008】すなわち、図 4 に示すように、1394 シリアルバスを伝送されるアイソクロナスパケットは、1394 ヘッダ、CIP ヘッダ 1、CIP ヘッダ 2、およびデータから構成されており、そのうちの CIP ヘッダ 2 には、16 ビットからなる時間情報（Sync Time）がタイムスタンプとして配置されている。1394 シリアルバス 12 に接続されている各機器は、バス上における処理の同期をとるために、サイクルタイムレジスタを内蔵しており、その下位 16 ビットの値が、このタイムスタンプとなる。CIP パケット CIP<sub>1</sub> のタイムスタンプは、サンプリング時（時刻  $t_1$ ）のサイクルタイムレジスタの値に、遅延加算時間 TdelayAddCount を加算した値とされている。すなわち、タイムスタンプは、時刻  $t_1$  から遅延加算時間 TdelayAddCount だけ経過した時刻  $t_3$  に対応した値となっている。この遅延加算時間 TdelayAddCount は、1394 シリアルバス 12 のサイクルタイミングのずれなどのジッタを吸収するための時間に対応している。

【0009】受信側の 1394 シリアルバス 18 を介してこの CIP パケット CIP<sub>1</sub> を受信すると、DVC R19 は、そこに含まれるタイムスタンプを抽出する（図 3（C））。

上述したように、このタイムスタンプの時刻は、時刻  $t_3$  に対応している。そこで、DVC R19 は、時刻  $t_3$  のタイミングにおいて、第 1 のフレームのフレーム同期信号を生成する。以下同様に、第 2 のフレーム、

第 3 のフレームなどにおいても、順次、同様の処理が行われる。

【0010】図 3 に示したタイミングチャートは、あくまで原理的なものであるが、実際のタイミングチャートは、図 5 に示すようになる。すなわち、時刻  $t_1$  で取り込まれた第 1 のフレームの同期信号は、その時のサンプリング時刻に、遅延加算時間 TdelayAddCount を加算した時刻  $t_3$  に対応するタイムスタンプを含む CIP パケット CIP<sub>1</sub> として、時刻  $t_2$  で 1394 シリアルバス 12 に伝送される。この CIP パケット CIP<sub>1</sub> は、1394 シリアルバス 12、ATM/1394 中継器 13、UNI 14、ATM ネットワーク 15、UNI 16、ATM/1394 中継器 17、1394 シリアルバス 18 の各伝送路上の総合的な遅延時間 TdelayNet1 だけ遅延され、時刻  $t_4$  から始まるバスサイクルのタイミングにおいて、DVC R19 に供給される。DVC R19 は、この CIP パケット CIP<sub>1</sub> からタイムスタンプを抽出し（図 5（C））、そのタイムスタンプに対応する時刻  $t_3$  で、第 1 のフレームの同期信号を生成する（図 5（D））。

【0011】

【発明が解決しようとする課題】受信側の 1394 シリアルバス 18 に接続されている DVC R19 が、CIP パケット CIP<sub>1</sub> から抽出したタイムスタンプに基づいて、時刻  $t_4$  から計時した時刻  $t_5$  までの時間 ToffsetAddCount1 #2 は、1394 シリアルバス 18 のバスリファレンスクロックに基づいて計時される。これに対して、送信側の 1394 バス 12 に接続されている DVC R11 が、CIP パケット CIP<sub>1</sub> のタイムスタンプに設定した時刻  $t_3$  は、1394 シリアルバス 12 のバスリファレンスクロックに基づいて、バスサイクルの開始時刻  $t_2$  から、時間 ToffsetAddCount1 #1 だけ経過したときの時刻である（図 5（A））。この時間 ToffsetAddCount1 #1 は、時刻  $t_3$  と時刻  $t_2$  の差（すなわち、時刻  $t_3$  から時間 TdelayNet1 だけ経過した時刻  $t_4$  と、時刻  $t_2$  から時間 TdelayNet1 だけ経過した時刻  $t_4$  との差）に対応している（図 5（B））。

【0012】送信側の 1394 シリアルバス 12 のバスリファレンスクロックと、受信側の 1394 シリアルバス 18 のバスリファレンスクロックとは同期していないため、1394 シリアルバス 12 のサイクル周期（図 5（B））と、1394 シリアルバス 18 のサイクル周期（図 5（C））とは正確には一致しておらず、その結果、1394 シリアルバス 12 におけるフレーム周期（図 5（B））としての時刻  $t_3$  から時刻  $t_4$  までの時間 TsndFrame と、図 5（D）に示す受信側の 1394 シリアルバス 18 におけるフレーム周期 TrevFrame とは一致しない。

【0013】その結果、DVC R11 側における画像の色合いと、DVC R19 側における画像の色合いとが微妙に変化したり、音色についても、送信側と受信側とで微妙にず

れが生じる。

【0014】このようなバスサイクルの時間のずれは、受信側のATM/1394中継器17のバッファのオーバーフローまたはアンダーフローを引き起こす。オーバーフローまたはアンダーフローのどちらが発生するかは、送信側と受信側のバスサイクルの相対的な関係によって決定され、送信側のバスサイクルが短い場合はオーバーフローとなり、長い場合はアンダーフローとなる。図5のタイミングチャートは、前者の場合を示しており、こ

$$1 \text{ CIPパケットが滞留する時間} T_{\text{cip}} = 3072 / (24.576 \times 30) \\ = 4.17 \text{ sec}$$

$$16 \text{ Mbyteのバッファがオーバーフローする時間} T_{\text{over}} \\ = T_{\text{cip}} \times 16777216 / 488 = 143248 \text{ sec} = 39.8 \text{ hour}$$

となり、およそ40時間程度で16Mbyteのバッファがオーバーフローする。

【0016】また、アンダーフローが発生する時間は、ジッタ等を吸収するために蓄積するCIPパケット数によって増減する。蓄積パケット数を多くするとアンダーフローまでの時間は長くなるが（なかなかアンダーフローしないが）、それに比例して、ATM/1394中継器17での遅延時間も増加してしまう。逆に、蓄積パケット※

$$1 \text{ CIPパケットが流出する時間} T_{\text{cip}} = 3072 / (24.576 \times 30) \\ = 4.17 \text{ sec}$$

$$\text{蓄積したCIPパケットがアンダーフローする時間} T_{\text{under}} \\ = T_{\text{cip}} \times 2400 = 10008 \text{ sec} = 2.78 \text{ hour}$$

となり、およそ3時間程度で蓄積した2400個のCIPパケットがアンダーフローする。

【0017】本発明はこのような状況に鑑みてなされたものであり、受信側において、送信側と対応する情報を復元できるようにするとともに、オーバーフローやアンダーフローを防止するようにするものである。

【0018】

【課題を解決するための手段】請求項1に記載のデータ中継装置は、バスとのインタフェース処理を行う第1のインタフェース手段と、ネットワークとのインタフェース処理を行う第2のインタフェース手段と、第1のインタフェース手段において用いられる第1のクロックを、ネットワークでの処理を同期させるための第2のクロックに同期して生成する生成手段とを含むことを特徴とする。

【0019】請求項4に記載のデータ中継方法は、バスとのインタフェース処理を行う第1のインタフェースステップと、ネットワークとのインタフェース処理を行う第2のインタフェースステップと、第1のインタフェースステップの処理において用いられる第1のクロックを、ネットワークでの処理を同期させるための第2のクロックに同期して生成する生成ステップとを含むことを特徴とする。

【0020】請求項5に記載の提供媒体は、バスとのインタフェース処理を行う第1のインタフェースステッ

※の場合、徐々に蓄積遅延時間が長くなるとともに、ATM/1394中継器17内に滞留するパケット数が増加する。

【0015】ここで、オーバーフローが発生するまでの時間を算出すると、例えばATM/1394中継器17内のバッファ容量を16Mbyte、相対差を30ppm（クロックを生成するための電圧制御水晶発振回路の標準的な偏差の値）と仮定した場合、

※数を少なくすると、遅延時間は小さくなるが、アンダーフローまでの時間も短くなってしまう（すぐにアンダーフローしてしまう）。ここで、アンダーフローまでの時間を算出すると、例えば蓄積するCIPパケット数を2400（ $125 \mu\text{s} \times 2400 = 300 \text{ ms}$ ：Real Timeアプリケーションの遅延時間の限界値）、相対差を30ppmと仮定した場合、

と、ネットワークとのインタフェース処理を行う第2のインタフェースステップと、第1のインタフェースステップの処理において用いられる第1のクロックを、ネットワークでの処理を同期させるための第2のクロックに同期して生成する生成ステップとを含む処理を実行させるコンピュータが読み取り可能なプログラムを提供することを特徴とする。

【0021】請求項1に記載のデータ中継装置、請求項4に記載のデータ中継方法、および請求項5に記載の提供媒体においては、第1のインタフェース処理において用いられる第1のクロックが、ネットワークでの処理を同期させるための第2のクロックに同期して生成される。

【0022】

【発明の実施の形態】図6は、本発明を適用したネットワークシステムの構成例を表しており、図1に対応する部分には、同一の符号を付してあり、その説明は適宜省略する。このシステムの基本的な構成は、図1に示した場合と同様であるが、1394シリアルバス12とATMネットワーク15の間に配置されているATM/1394中継器41、およびATMネットワーク15と1394シリアルバス18との間に配置されているATM/1394中継器42の構成が、図1における場合と異なっている。すなわち、この構成例においては、ATM/1394中継器41は、1394シリアルバス12のサイクルマ

スタとなっており、また、ATM/1394中継器42は、1394シリアルバス18のサイクルマスタとなっており、それぞれは、その1394シリアルバス12または1394シリアルバス18で使用する24.576MHzの周波数のバスリファレンスクロックを、ATMネットワーク15の8kHzの周波数のATMリファレンスクロック(SDH Flame Pulse)に同期して生成するようになされている。

【0023】図7は、ATM/1394中継器41の構成を表している(ATM/1394中継器42も同様の構成とされている)。

【0024】CPU60は、プログラムに対応してATM SAR (Segmentation and Reassembly) ブロック58、ATM PHYブロック57、IEEE1394 LINKレイヤブロック55、IEEE1394 3ポートPHYブロック54、およびシステムコントローラ61を制御し、インタフェース処理を実行させる。

【0025】スケジューリングタイマ63は、8kHzの周波数のATMリファレンスクロック(ATM/SDHフレームタイミング)を分周して、CPU60に対してタイマ割り込み信号を出力するようになされている。メモリブロック62は、ローカルバス64を介してシステムコントローラ61と接続されており、送受信するパケットデータを記憶するようになされている。システムコントローラ61には、PCI (Peripheral Component Interconnect) バス65を介してATMネットワーク(ATM/SDH (Synchronous Digital Hierarchy) 網) 15に対する送受信処理を行うブロック71と、1394シリアルバス12に対する送受信処理を行うブロック72とが接続されている。前者のブロック71は、ATM SARブロック58、ATM PHYブロック57、および光学(Optics)ブロック56とにより構成され、後者のブロック72は、IEEE1394 LINKレイヤブロック55、IEEE1394 3ポートPHYブロック54により構成されている。

【0026】ATM SARブロック58は、メモリブロック62からシステムコントローラ61およびPCIバス65を介して転送されてきたデータをATMセルに分割し、ATM PHYブロック57に転送する。ATM SARブロック58は、また、逆に、ATM PHYブロック57より供給されたATMセルを組み立て、システムコントローラ61およびPCIバス65を介してメモリブロック62に出力する。ATM PHYブロック57は、ATMSARブロック58より供給されたATMセルを、光学ブロック56の仕様に対応するデータに変換して光学ブロック56に出力するとともに、光学ブロック56より入力されたデータからATM SARブロック58に渡すべきATMセルを取り出して、ATM SARブロック58に出力する。光学ブロック56は、ATMネットワーク15より供給された光信号によるデータを受信し、電気信号に変換して、ATM PHYブロック57に供給するとともに、ATM PHYブロック57より供給されたデ

ータを光信号に変換して、ATMネットワーク15に出力する。

【0027】IEEE1394 LINKレイヤブロック55は、システムコントローラ61およびPCIバス65を介してメモリブロック62より入力されたATMフォーマットのデータを、CPU60によって予め設定された1394シリアルバスのフォーマットに変換して、IEEE1394 3ポートPHYブロック54に出力するとともに、逆に、IEEE1394 3ポートPHYブロック54より入力された1394シリアルバスのフォーマットのデータを、システムコントローラ61およびPCIバス65を介してメモリブロック62に出力し、CPU60によってATMのフォーマットに変換させる。IEEE1394 3ポートPHYブロック54は、IEEE1394 LINKレイヤブロック55より入力されたデータを、IEEE1394シリアルバスの信号に変換して、ポート51乃至53から1394シリアルバス12に出力する。また、IEEE1394 3ポートPHYブロック54は、ポート51乃至53を介して1394シリアルバス12より入力されたデータを受信し、これをIEEE1394 LINKレイヤブロック55に出力する。

【0028】ATM PHYブロック57は、8kHzの周波数のATMリファレンスクロックを抽出する。このATMリファレンスクロックは、ATMネットワーク15において、世界的に同期されたものとなっている。このATMリファレンスクロックは、クロック同期回路59とIEEE1394 LINKレイヤブロック55に供給される。IEEE1394 LINKブロック55は、入力されたリファレンスクロックに同期して、1394シリアルバスのサイクルスタートパケットの送出タイミングを検出する。クロック同期回路59は、ATM PHYブロック57より入力されたATMリファレンスクロックに同期して、24.576MHzの周波数の1394シリアルバスのためのバスリファレンスクロックを生成し、IEEE1394 3ポートPHYブロック54に出力している。

【0029】クロック同期回路59は、図8に示すように構成されている。すなわち、クロック同期回路59は、PLL回路として構成され、ATM PHYブロック57より入力された8kHzの周波数のATMリファレンスクロックと、分周器81より入力された8kHzの周波数のクロックとを位相比較し、その位相誤差信号をフィルタ(ローパスフィルタ)83に出力している。フィルタ83は、入力された位相誤差信号を平滑し、電圧制御水晶発振回路(VCXO)84に出力している。電圧制御水晶発振回路84は、その標準的な発振周波数が、24.576MHzの周波数となるように設定されており、フィルタ83より入力される制御信号(制御電圧)に対応する位相のクロックを生成し、バスリファレンスクロックとしてIEEE1394 3ポートPHYブロック54に出力している。電圧制御水晶発振回路84の出力するバスリファレンスクロックはまた、分周器81に輸入され、1/3072

に分周され、位相比較器82に入力されている。

【0030】これにより、クロック同期回路59は、ATM PHYブロック57より入力される8 KHzの周波数のATMネットワーク15のATMリファレンスクロックに同期した、24.576 MHzの周波数の1394シリアルバスのバスリファレンスクロックを生成し、出力する。

【0031】次に、送信側の1394シリアルバス12に接続されているDVCR11から出力されたデジタルビデオ(DV)データを、受信側の1394シリアルバス18に接続されているDVCR19に伝送する場合の処理について、図9乃至図12を参照して説明する。最初に、図9のフローチャートを参照して、送信側のDVCR11の処理について説明する。なお、この場合においても、DVCR11は、NTSC方式のビデオ信号をサンプリングし、出力するものとする。

【0032】ステップS1において、DVCR11は、図10(A)に示すように、時刻 $t_1$ のタイミングにおいて、24.576 MHzの周波数のフレーム同期信号を自身の24.576 MHzのクロックに基づいてサンプリングする。1394シリアルバス12において、ATM/1394中継器41がサイクルマスタとなっているので、1394シリアルバス12に接続されているDVCR11のサイクルタイムレジスタ値は、ATM/1394中継器41により生成されるサイクルスタートパケット内のサイクルタイムデータを反映させたものとなっている。サイクルタイムデータは、サイクルマスタであるATM/1394中継器41のサイクルタイムレジスタ値そのものであり、バスリファレンスクロックによってカウントアップされる。このため、DVCR11のサイクルタイムレジスタ値は、125  $\mu$ s毎にATM/1394中継器41のサイクルタイムレジスタ値と同期している。そして、ステップS2において、現在の(時刻 $t_1$ の)サイクルタイムレジスタの下位16ビットの値に、遅延加算時間TdelayAddCountを加算した値を、第1のフレームのフレーム同期信号を伝送するCIPパケットのCIPヘッダのSync Timeフィールド(図4)に格納する。そして、ステップS3において、DVCR11は、図10(B)に示すように、そのCIPパケットCIP<sub>1</sub>を、1394シリアルバス12に、時刻 $t_2$ から始まるサイクルバスのタイミングでアイソクロナスパケットとして伝送する。

【0033】従来の場合と同様に、CIPパケットCIP<sub>1</sub>に含まれているタイムスタンプは、時刻 $t_1$ に遅延加算時間TdelayAddCountを加算した時刻 $t_3$ に対応した値となっている。

【0034】DVCR11が出力したデータは、1394シリアルバス12を介して、ATM/1394中継器41に伝送される。ATM/1394中継器41において、このデータは、例えば、ポート51から、IEEE1394 3ポートPHYブロック54に入力され、所定のインタフェース処理が行われる。この処理は、クロック同期回路5

9が出力するATMリファレンスクロックに同期したバスリファレンスクロックに基づいて行われるので、ATMネットワーク15における処理と位相的に同期した処理となる。IEEE1394 LINKレイヤブロック55は、IEEE1394 3ポートPHYブロック54より入力されたデータを、ATM PHYブロック57より入力されたATMリファレンスクロックに同期したタイミングで生成したサイクルスタートパケット送出タイミングを基に処理し、PCIバス65に出力する。システムコントローラ61は、PCIバス65を介して入力されたデータを、ローカルバス64を介してメモリブロック62に供給し、記憶させる。

【0035】CPU60は、システムコントローラ61を介して、メモリブロック62に記憶されたデータを読み出し、ATM SARブロック58に供給する。ATM SARブロック58は、メモリブロック62から伝送されてきたデータをATMセルに分割し、ATM PHYブロック57に供給する。ATM PHYブロック57は、ATM SARブロック58より供給されたATMセルを光学ブロック56の使用に対応するデータに変換し、光学ブロック56に出力する。光学ブロック56は、入力されたデータをUNI14を介してATMネットワーク15に出力する。

【0036】ATMネットワーク15から転送されてきたデータは、UNI16を介してATM/1394中継器42に入力される。すなわち、図10(B)の時刻 $t_2$ において、DVCR11より出力されたデータが、時間TdelayNetだけ経過した時刻 $t_4$ において、受信側のATM/1394中継器42に入力される。このとき、ATM/1394中継器42は、図11のフローチャートに示すような処理を実行する。なお、以下においては、図7に示す構成を

ATM/1394中継器42の構成として説明する。

【0037】ステップS21において、ATM/1394中継器42のCPU60は、ATMネットワーク15から受信したデータに含まれるフレームの先頭のCIPを検出する処理を実行する。すなわち、ATM/1394中継器42に入力されたATMセルの信号は、光学ブロック56において、光信号から電気信号に変換され、ATM PHYブロック57に供給される。ATM PHYブロック57は、入力されたデータからATMセルを取り出して、ATM SARブロック58に供給する。ATM SARブロック58は、入力されたATMセルを統合し、PCIバス65を介してシステムコントローラ61に出力する。システムコントローラ61は、入力されたデータをローカルバス64を介してメモリブロック62に供給し、記憶させる。CPU60は、システムコントローラ61を介してメモリブロック62に記憶されたデータを読み出し、そのデータからフレームの先頭のCIPを検出する。

【0038】次に、ステップS22において、CPU60は、Sync Timeフィールドに格納されているタイムスタンプ情報を抽出する。そして、ステップS23において、CPU60は、送信側の1394シリアルバス12の

バスサイクルの値（周期）と、受信側の1394シリアルバス18のバスサイクルの周期の値の差分DiffCycleCountが既に算出されているか否かを判定する。この値が、まだ算出されていない場合には、ステップS24に進み、CPU60は、ステップS22で読み出したタイムスタンプのサイクルカウント値（上位4ビット）と、CIPパケットCIP<sub>i</sub>が1394シリアルバス18に送出される予定の時刻のサイクルタイムレジスタの値CycleCountとの差分を算出する。ステップS25において、CPU60は、ステップS24で演算した差分値に、遅延加算時間TdelayAddのサイクルカウント値を加算して、その値DiffCycleCountを得る。

【0039】ステップS23において、この値DiffCycleCountが、既に算出されていると判定された場合、ステップS24とステップS25の処理はスキップされる。

【0040】次に、ステップS26において、ステップS25で演算された値DiffCycleCountに、CPU60は、タイムスタンプのサイクルカウント値（上位4ビット）を加算し、その値を新たなタイムスタンプとしてCIPパケットCIP<sub>i</sub>のSync Timeフィールドに格納する。ステップS26で生成されたCIPパケットCIP<sub>i</sub>は、ステップS27で、1394シリアルバス18に転送される。

【0041】すなわち、CPU60は、ステップS26で生成したCIPパケットCIP<sub>i</sub>をシステムコントローラ61を介してPCIバス65からIEEE1394LINKレイヤブロック55に供給する。IEEE1394LINKレイヤブロック55は、入力されたATMのフォーマットのデータをCPU60によって予め設定されている1394シリアルバスのフォーマットに変換し、IEEE13943ポートPHYブロック54に出力する。IEEE13943ポートPHYブロック54は、IEEE1394LINKレイヤブロック55より入力されたデータをIEEE1394シリアルバスの信号に変換し、例えば、ポート51から1394シリアルバス18に出力する。このアイソクロナスパケットは、DVCR19に供給される。

【0042】DVCR19は、1394シリアルバス18を介してアイソクロナスパケットとして、CIPパケットCIP<sub>i</sub>が供給されると、図12のフローチャートに示す処理を実行する。

【0043】最初にステップS41において、DVCR19は、フレームの先頭のCIPを検出する処理を実行する。いまの場合、CIPパケットCIP<sub>i</sub>が検出される。さらに、DVCR19は、ステップS42において、CIPパケットCIP<sub>i</sub>のヘッダのSync Timeフィールドに格納されているタイムスタンプを抽出する。なお、このSync Timeフィールドは、フレームの先頭のCIPパケットにおいてのみ有効である。

【0044】次に、ステップS43において、ステップS42で抽出したタイムスタンプの値と、そのCIPパケットCIP<sub>i</sub>を受信したときのサイクルタイムレジスタの値

（下位16ビット）との差分が演算される。この演算された値は、図10において、時刻 $t_1$ から時刻 $t_2$ （第1のフレームのフレーム同期信号の出力タイミング）までの時間に対応している（図10（C））。そこで、ステップS44において、DVCR19は、ステップS43で求めた差分値に基づくタイミングにおいて、第1のフレームのフレーム同期信号を再生する（図10（D））。

【0045】なお、図10には、図9、図11、および図12の各ステップの処理が行われるタイミングが、各ステップの符号で表されている。

【0046】以上のようにして、この実施の形態では、送信側の1394シリアルバス12のバスサイクルと、受信側の1394シリアルバス18のバスサイクルの周期を等しい値とすることができるので、送信側の1394シリアルバス12から、受信側の1394シリアルバス18までの総合的な伝送路上の遅延時間TdelayNetを常に一定の値とすることができる。このため、受信側のATM/1394中継器42のパッファ（図7のメモリブロック62）内に滞留するパケットの数がほぼ一定となり、そのアンダーフローやオーバーフローを防止することができる。

【0047】さらに、送信側（DVCR11）のCycle Countの値と、受信側（ATM/1394中継器42）のCycle Countの差分（=DiffCycleCount）を、図11を参照して説明したように演算し、タイムスタンプに反映させるようにしたので、送信側のフレーム周期TsndFrame（図10（A））と、受信側のフレーム周期TrevFrame（図10（D））とを一致させることができる。従って、画像の色合いや音声の音色などが微妙にずれたりすることが防止される。

【0048】なお、Cycle Timeレジスタは、1394シリアルバスに接続されている機器のLink Chip（図7のATM/1394中継器41のブロック72に対応する）に用意されているので、値DiffCycleCountは、確実に演算することができる。

【0049】ATM/1394中継器41または42におけるソフトウェア処理は、ATMネットワーク15のATMリファレンスクロックを、スケジューリングタイマ63で適度に分周してスケジューリング信号を生成し、これをソフトウェアの割り込み信号としてCPU60に供給するようにすることで、ソフトウェアによっても、厳密に時間軸を保証することが可能となる。例えば、8kHzの周波数のATMリファレンスクロックを16分周し、2ms毎に割り込み処理するようにした場合、2msという時間で転送処理すべきCIPパケットの数は、アイソクロナスチャネルあたり16パケットであることをソフトウェアに認識させることができ、かつ、その時間軸も、全ての1394シリアルバスで同期したバスリファレンスクロックを基にしているため、ソフトウェアでも厳密に時間軸を保証することができる。



【0050】なお、ATMネットワーク15におけるCIPパケットの伝送方式は、受信側のATM/1394中継器の蓄積バッファで伝送時のジッタが吸収できるものであれば、どのような方式であってもよい。

【0051】以上においては、バスとして1394シリアルバスを用い、ネットワークとしてATMネットワークを用いるようにしたが、その他のバスまたはネットワークを用いることも可能である。

【0052】なお、本明細書において、システムとは、複数の装置により構成される装置全体を表すものとする。

【0053】また、上記したような処理を行うコンピュータプログラムをユーザに提供する提供媒体としては、磁気ディスク、CD-ROM、固体メモリなどの記録媒体の他、ネットワーク、衛星などの通信媒体を利用することができる。

【0054】

【発明の効果】以上の如く、請求項1に記載のデータ中継装置、請求項4に記載のデータ中継方法、および請求項5に記載の提供媒体によれば、第1のインターフェースの処理において用いられる第1のクロックを、ネットワークでの処理を同期させるための第2のクロックに同期して生成するようにしたので、ネットワークを介して接続される一方のバスと他方のバスにおける画像や音声の微妙に変化することを防止することができる。また、データ転送時のオーバーフローやアンダーフローを防止することができる。

【図面の簡単な説明】

【図1】従来のネットワークシステムの構成を示す図である。

\*【図2】1394シリアルバスのアイソクロナスパケットの転送を説明する図である。

【図3】図1のネットワークシステムの動作原理を説明するタイミングチャートである。

【図4】アイソクロナスパケットの構成を示す図である。

【図5】図1の動作を説明するタイミングチャートである。

【図6】本発明を適用したネットワークシステムの構成を示す図である。

【図7】図6のATM/1394中継器41の構成を示すブロック図である。

【図8】図7のクロック同期回路59の構成を示すブロック図である。

【図9】図6のDVCR11の動作を説明するフローチャートである。

【図10】図6のネットワークシステムの動作を説明するタイミングチャートである。

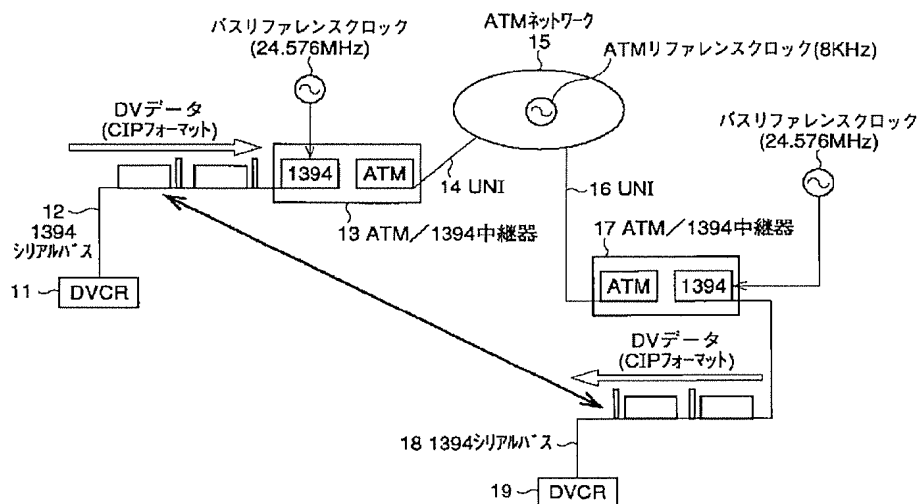
【図11】図6のATM/1394中継器42の動作を説明するフローチャートである。

【図12】図6のDVCR19の動作を説明するフローチャートである。

【符号の説明】

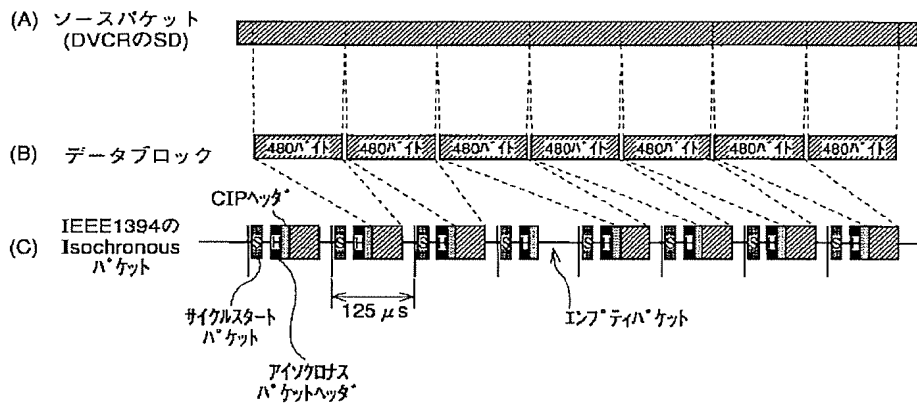
11 DVCR, 12 1394シリアルバス, 13 ATM/1394中継器, 15 ATMネットワーク, 17 ATM/1394中継器, 18 1394シリアルバス, 19 DVCR, 41, 42 ATM/1394中継器, 59クロック同期回路, 60 CPU, 62 メモリブロック, 63 スケジューリングタイマ, 71, 72 ブロック

【図1】

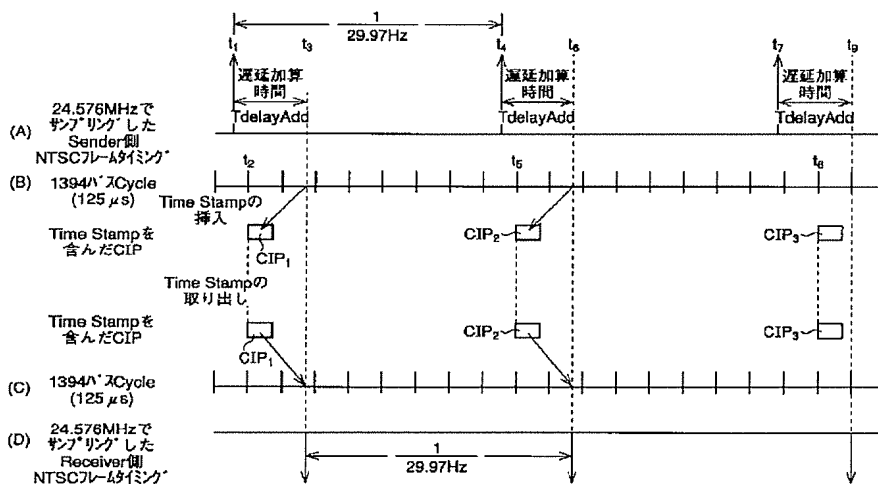


ネットワークシステム

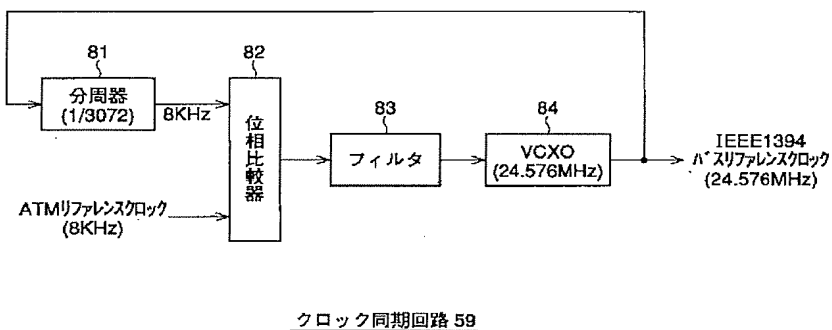
【図2】



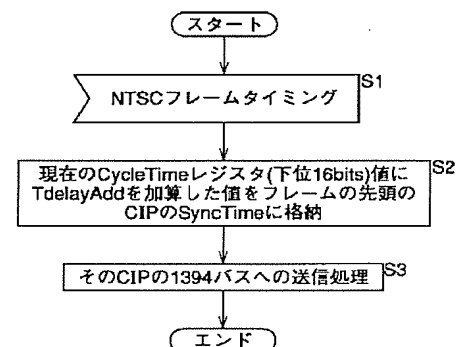
【図3】



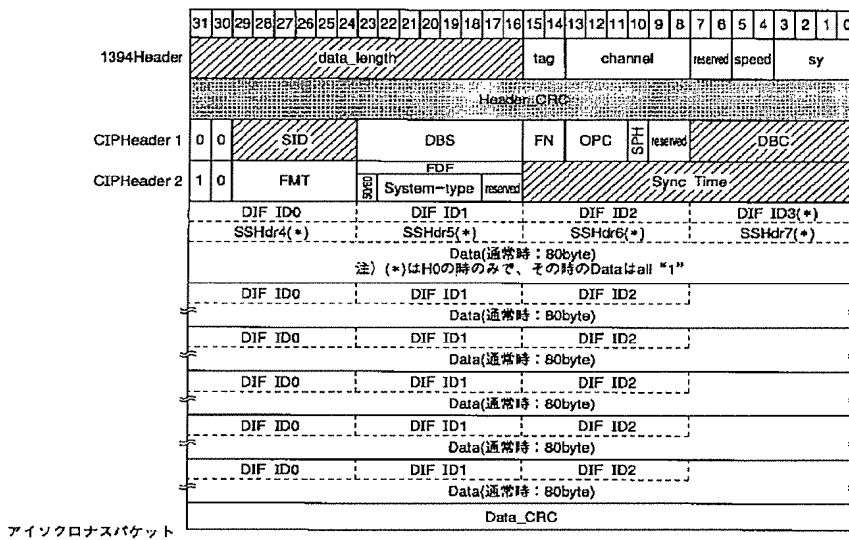
【図8】



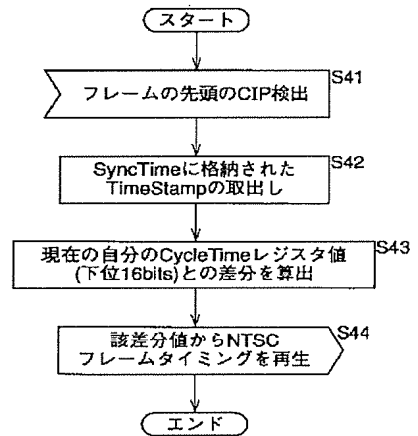
【図9】



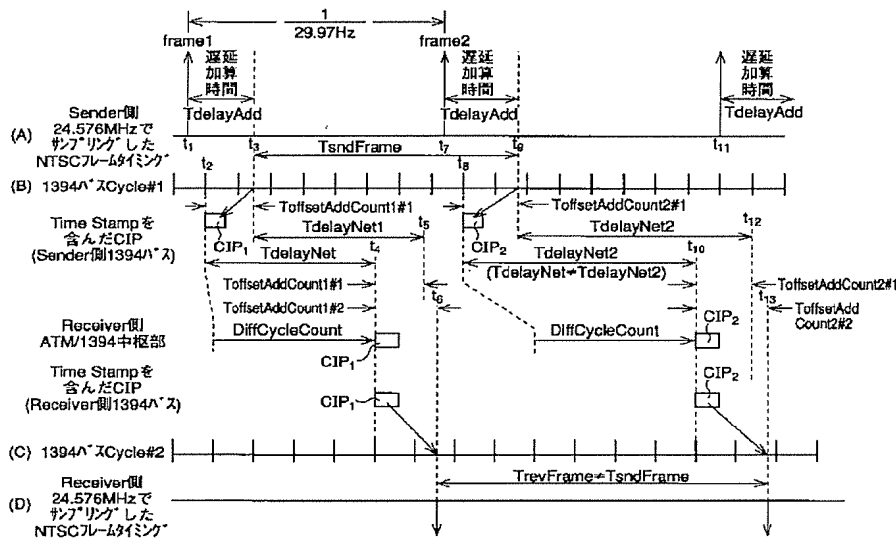
【図4】



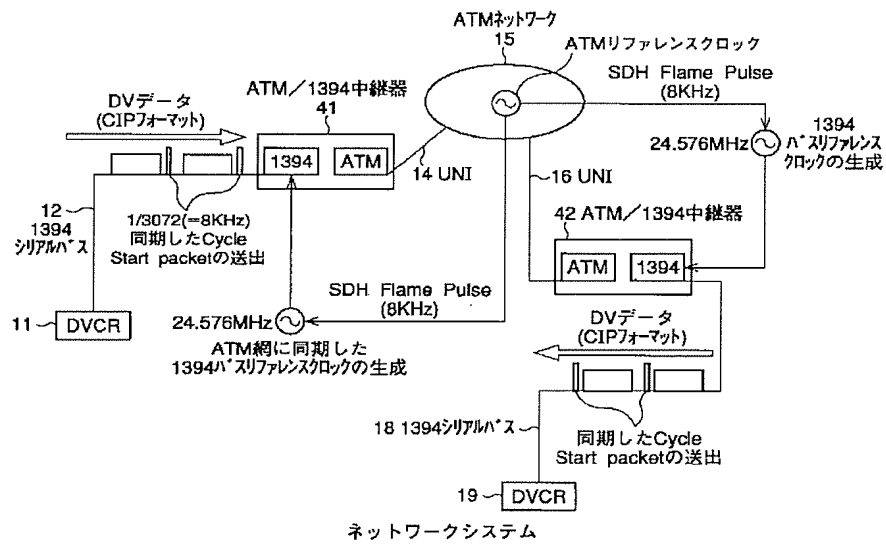
【図12】



【図5】



【図 6】



【図7】

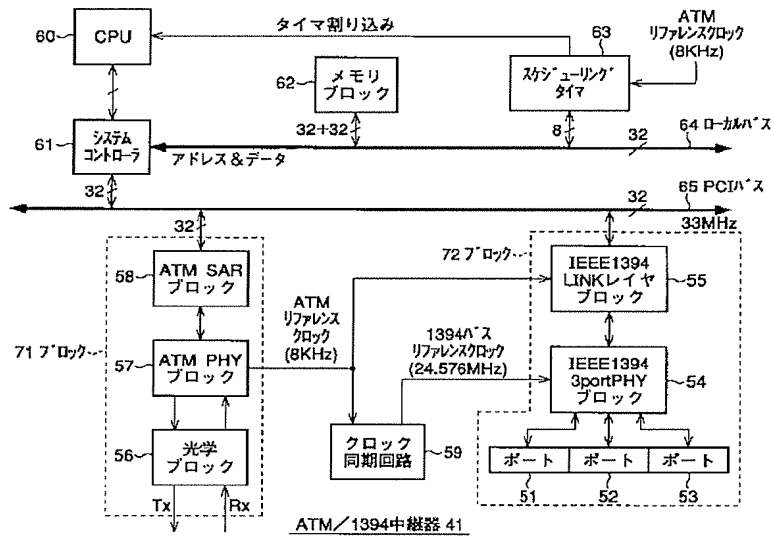


Figure 1 is a timing diagram illustrating the proposed system's operation. The diagram is divided into four main sections: (A) Sender side, (B) Receiver side, (C) Sender side, and (D) Receiver side. A 29.97Hz clock is shown at the top.

**(A) Sender side:** Shows the transmission of a frame (TsndFrame) and the addition of delay (TdelayAdd) to the timestamp. The diagram includes a 29.97Hz clock and a delay calculation block (遅延加算時間) with a delay value (TdelayAdd). The frame is transmitted at time t<sub>1</sub> and received at time t<sub>2</sub>.

**(B) Receiver side:** Shows the reception of the frame (TrevFrame) and the subtraction of delay (TdelayAdd) from the timestamp. The diagram includes a delay calculation block (遅延加算時間) with a delay value (TdelayAdd). The frame is received at time t<sub>2</sub> and transmitted at time t<sub>1</sub>.

**(C) Sender side:** Shows the calculation of the DiffCycleCount and the adjustment of the timestamp (S24, S25, S26) based on the DiffCycleCount. The diagram includes a delay calculation block (遅延加算時間) with a delay value (TdelayAdd). The frame is transmitted at time t<sub>1</sub> and received at time t<sub>2</sub>.

**(D) Receiver side:** Shows the reception of the frame (TrevFrame) and the subtraction of delay (TdelayAdd) from the timestamp. The diagram includes a delay calculation block (遅延加算時間) with a delay value (TdelayAdd). The frame is received at time t<sub>2</sub> and transmitted at time t<sub>1</sub>.

```

graph TD
    Start([スタート]) --> S21[/ATMネットワークから受信したデータからフレームの先頭のCIP検出/]
    S21 --> S22[SyncTimeに格納されたTime Stampの取出し]
    S22 --> S23{DiffCycleCount算出済み?}
    S23 -- Yes --> S26[DiffCycleCountを元のTime Stampのサイクルカウント値(上位4bits)に加算し、該CIPのSyncTimeに格納]
    S23 -- No --> S24[該Time Stampのサイクルカウント値(上位4bits)と該CIPが1394バスへの送出時のCycleTimeレジスタのCycleCount値の差分を算出]
    S24 --> S25[該差分にTdelayAddのサイクルカウント値を加算(=DiffCycleCount)]
    S25 --> S26
    S26 --> S27[該CIPの1394バスへの送信処理]
    S27 --> End([エンド])

```

フロントページの続き

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード (参考)
H 0 4 L 29/06		H 0 4 L 13/00	3 0 3 B
H 0 4 Q 3/00			3 0 5 B

F ターム (参考) 5K030 GA11 HA10 HB15 HB19 JL10  
KA02 KA21 LA08  
5K032 AA05 CC06 DA06 DB18 DB19  
DB26  
5K034 AA05 HH61 KK27  
5K047 AA05 BB12 BB16 GG42 LL01  
MM05 MM55  
9A001 CZ03

【公報種別】 特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】 第 7 部門第 3 区分  
 【発行日】 平成18年4月6日 (2006.4.6)

【公開番号】 特開2000-216800(P2000-216800A)

【公開日】 平成12年8月4日 (2000.8.4)

【出願番号】 特願平11-18065

【国際特許分類】

H 0 4 L 12/46 (2006.01)

H 0 4 Q 3/00 (2006.01)

H 0 4 L 7/033 (2006.01)

H 0 4 L 29/04 (2006.01)

H 0 4 L 29/06 (2006.01)

【F I】

H 0 4 L 12/46 E

H 0 4 Q 3/00

H 0 4 L 7/02 B

H 0 4 L 13/00 3 0 3 B

H 0 4 L 13/00 3 0 5 B

【手続補正書】

【提出日】 平成18年1月26日 (2006.1.26)

【手続補正 1】

【補正対象書類名】 明細書

【補正対象項目名】 発明の名称

【補正方法】 変更

【補正の内容】

【発明の名称】 データ中継装置および方法、並びに記録媒体

【手続補正 2】

【補正対象書類名】 明細書

【補正対象項目名】 特許請求の範囲

【補正方法】 変更

【補正の内容】

【特許請求の範囲】

【請求項 1】 所定のバスとネットワークとの間でデータを中継するデータ中継装置において、

前記バスとのインタフェース処理を行う第 1 のインターフェース手段と、

前記ネットワークとのインタフェース処理を行う第 2 のインターフェース手段と、

前記第 1 のインターフェース手段において用いられる第 1 のクロックを、前記ネットワークでの処理を同期させるための第 2 のクロックに同期して生成する生成手段と

を含むことを特徴とするデータ中継装置。

【請求項 2】 前記生成手段は、所定の分周比で分周された前記第 1 のクロックの位相と前記第 2 のクロックの位相との比較を行い、その比較結果に応じて前記第 1 のクロックの周波数を調整する PLL (Phase Lock Loop) 回路として構成される

ことを特徴とする請求項 1 に記載のデータ中継装置。

【請求項 3】 前記バスは、IEEE1394シリアルバスであり、

前記ネットワークは、ATMネットワークである

ことを特徴とする請求項 1 または請求項 2 に記載のデータ中継装置。

【請求項 4】 前記第 1 のインターフェース手段により処理されるデータパケットに関するタイミングを制御する制御手段と、

前記第2のクロックを分周して、前記制御手段に供給する割り込み制御信号を生成する分周手段と

をさらに含むことを特徴とする請求項1または請求項2に記載のデータ中継装置。

【請求項5】 所定のバスとネットワークとの間でデータを中継するデータ中継装置のデータ中継方法において、

前記バスとのインタフェース処理を行う第1のインタフェースステップと、

前記ネットワークとのインタフェース処理を行う第2のインタフェースステップと、

前記第1のインタフェースステップの処理において用いられる第1のクロックを、前記ネットワークでの処理を同期させるための第2のクロックに同期して生成する生成ステップと

を含むことを特徴とするデータ中継方法。

【請求項6】 所定のバスとネットワークとの間でデータを中継するデータ中継装置に、

前記バスとのインタフェース処理を行う第1のインタフェースステップと、

前記ネットワークとのインタフェース処理を行う第2のインタフェースステップと、

前記第1のインタフェースステップの処理において用いられる第1のクロックを、前記ネットワークでの処理を同期させるための第2のクロックに同期して生成する生成ステップと

を含む処理を実行させるコンピュータが読み取り可能なプログラムを提供することを特徴とする記録媒体。

【手続補正3】

【補正対象書類名】 明細書

【補正対象項目名】 0001

【補正方法】 変更

【補正の内容】

【0001】

【発明の属する技術分野】

本発明は、データ中継装置および方法、並びに記録媒体に関し、特にネットワークを介して異なるバス間でデータを授受する場合において、時間的なずれを抑制することができるようにした、データ中継装置および方法、並びに記録媒体に関する。

【手続補正4】

【補正対象書類名】 明細書

【補正対象項目名】 0019

【補正方法】 変更

【補正の内容】

【0019】

請求項5に記載のデータ中継方法は、バスとのインタフェース処理を行う第1のインタフェースステップと、ネットワークとのインタフェース処理を行う第2のインタフェースステップと、第1のインタフェースステップの処理において用いられる第1のクロックを、ネットワークでの処理を同期させるための第2のクロックに同期して生成する生成ステップとを含むことを特徴とする。

【手続補正5】

【補正対象書類名】 明細書

【補正対象項目名】 0020

【補正方法】 変更

【補正の内容】

【0020】

請求項6に記載の記録媒体は、バスとのインタフェース処理を行う第1のインタフェースステップと、ネットワークとのインタフェース処理を行う第2のインタフェースステップと、第1のインタフェースステップの処理において用いられる第1のクロックを



、ネットワークでの処理を同期させるための第2のクロックに同期して生成する生成ステップとを含む処理を実行させるコンピュータが読み取り可能なプログラムを提供することを特徴とする。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0021

【補正方法】変更

【補正の内容】

【0021】

請求項1に記載のデータ中継装置、請求項5に記載のデータ中継方法、および請求項6に記載の記録媒体においては、第1のインターフェース処理において用いられる第1のクロックが、ネットワークでの処理を同期させるための第2のクロックに同期して生成される。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0054

【補正方法】変更

【補正の内容】

【0054】

【発明の効果】

以上の如く、請求項1に記載のデータ中継装置、請求項5に記載のデータ中継方法、および請求項6に記載の記録媒体によれば、第1のインターフェースの処理において用いられる第1のクロックを、ネットワークでの処理を同期させるための第2のクロックに同期して生成するようにしたので、ネットワークを介して接続される一方のバスと他方のバスにおける画像や音声が微妙に変化することを防止することができる。また、データ転送時のオーバーフローやアンダーフローを防止することができる。